

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# 公開実用平成 4-38139

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑨ 公開実用新案公報(U) 平4-38139

⑫ Int. Cl. \*

H 03 M 1/10  
1/36

識別記号

A

庁内整理番号

9065-5 J  
9065-5 J

⑬ 公開 平成4年(1992)3月31日

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 A/Dコンバータ

⑮ 実 願 平2-79993

⑯ 出 願 平2(1990)7月28日

⑰ 考 案 者 江 袋 昌 宏 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑲ 代 理 人 弁理士 桑 井 清 一

## 明 細 書

### 1. 考案の名称

A / D コンバータ

### 2. 実用新案登録請求の範囲

直列に接続されて基準電圧が印加される複数の電圧分割用抵抗と、電圧分割用抵抗の各接続点からの基準電圧と変換対象のアナログ電圧とが入力される複数のコンパレータとを備えたA / D コンバータにおいて、前記電圧分割用抵抗の最低電圧側に設けられて抵抗値を段階的に変更できるデジタル可変抵抗ブロックと、前記電圧分割抵抗及びデジタル可変抵抗ブロックと並列に設けた基準抵抗に電流を供給する定電流源と、前記基準電圧の入力端子及び前記アナログ電圧の入力端子と前記コンパレータの入力端との間にそれぞれ設けられて前記電圧分割用抵抗と前記コンパレータとに前記定電流源から同一値の電流を供給し得るスイッチと、ゼロスケールオフセット補正の指令信号により起動して前記スイッチを介して定電流源

から供給される電流に基づく所定のコンパレータの比較結果が所定値以下となるまでスイッチを当該状態に保持すると共に前記ディジタル可変抵抗ブロックの抵抗値を変化させるコントローラとを備えたことを特徴とするA/Dコンバータ。

### 3. 考案の詳細な説明

#### 〔産業上の利用分野〕

本考案は並列比較形A/Dコンバータに関し、特にゼロスケールオフセットの自動補正に関する。

#### 〔従来の技術〕

従来の並列比較形A/Dコンバータは例えば3bitの分解能であれば、第2図に示すように電圧分割用抵抗(1/2R)43と、電圧分割用抵抗(R)10~15と電圧分割用抵抗(3/2R)9とコンパレータ2~8と、デコーダ1と、VREF端子34とVin端子33と、GND端子35を有しており、個々のコンパレータ2~8はVin端子33に印加された電圧と電圧分割用抵抗(1/2

R) 43と電圧分割用抵抗(R) 10～15電圧分割用抵抗( $3/2R$ ) 9によって分圧されたそれぞれの電圧を比較し、Vin端子33に印加された電圧が高い場合に“1”、低い場合に“0”の信号をデコーダ1に送る。デコーダ1は個々のコンパレータ2～8が“1”と出力した数を2進数に変換してB0端子36, B1端子37, B2端子38に出力し、Vin端子33に印加されたアナログ電圧のA/D変換を行う。ここでコンパレータ8のオフセットによるゼロスケールオフセットを補整する場合、第3図に示すようにGND端子35に可変抵抗44を接続し、基準電圧源46から $1/2LSB$ の電圧をVin端子33に印加し、ちょうどコンパレータ8の出力が“0”から“1”に変化する点になるよう、可変抵抗44の抵抗値を調整する。

【考案が解決しようとする課題】

ここで可変抵抗の調整によって補整できるゼロスケールオフセットは負側にずれた分のみであり、

正側にずれた分については補整不可能であるという問題があった。

またゼロスケールオフセットの補整の度に基準電圧源を用意して可変抵抗の調整を行わなければならない、作業が煩雑であるという問題があった。

〔課題を解決するための手段〕

本考案のA/Dコンバータは、直列に接続されて基準電圧が印加される複数の電圧分割用抵抗と、電圧分割用抵抗の各接続点からの基準電圧と変換対象のアナログ電圧とが入力される複数のコンパレータとを備えたA/Dコンバータにおいて、前記電圧分割用抵抗の最低電圧側に設けられて抵抗値を段階的に変更できるディジタル可変抵抗ブロックと、前記電圧分割抵抗及びディジタル可変抵抗ブロックと並列に設けた基準抵抗に電流を供給する定電流源と、前記基準電圧の入力端子及び前記アナログ電圧の入力端子と前記コンパレータの入力端との間にそれぞれ設けられて前記電圧分割用抵抗と前記コンパレータとに前記低電流源から

同一値の電流を供給し得るスイッチと、ゼロスケールオフセット補正の指令信号により起動して前記スイッチを介して定電流源から供給される電流に基づく所定のコンパレータの比較結果が所定値以下となるまでスイッチを当該状態に保持すると共に前記ディジタル可変抵抗ブロックの抵抗値を変化させるコントローラとを備えたことを特徴とする。

#### 〔実施例〕

次に本考案について図面を参照して説明する。

第1図は本考案の一実施例の回路図であり、3 bitの分解能の並列比較形A/Dコンバータである。デコーダ1、コンパレータ2～8、電圧分割用抵抗(R)10～15、電圧分割用抵抗( $3/2R$ )9、Vin端子33、VREF端子34、B0端子36、B1端子37、B2端子38による通常のA/D変換については従来技術で説明した通りであり、アナログスイッチ24～25をそれぞれVin端子33、VREF端子34に接続し、抵抗16

～20、スイッチ26～29から成るデジタル可変抵抗ブロック41を所要の抵抗値に固定していれば通常のA/D変換動作を行う。ここで、コントロール端子40に信号が入ると、ゼロスケールオフセット補正動作を行う。以下に動作を説明する。コントロール端子40に信号が入るとコントローラ31はゼロスケールオフセット補正の信号をコントロール信号ライン42を通してアナログスイッチ24、25及び抵抗コントローラ30に送る。アナログスイッチ24は、トランジスタ22、23によって構成されたカレントミラー回路のうちトランジスタ22に流れる電流が基準抵抗21に流れて生ずる電圧降下分（本回路の場合基準抵抗21の抵抗値が〔1.5LSBの電圧〕／〔流れる電流〕（ $\Omega$ ）と設定しており、電圧降下分は1.5LSB分の電圧である）がコンパレータ2～8に印加させる。また、アナログスイッチ25はトランジスタ22、23によって構成されたカレントミラー回路のうちトランジスタ23に流れる電流を電圧分割用抵抗（R）10～15、



電圧分割用抵抗 ( $3/2R$ ) 9、及びディジタル可変抵抗ブロック 41 に流す。ここでトランジスタ 22、23 それぞれに流れる電流は、カレントミラー回路を構成していることにより同一電流値が流れる。また抵抗コントローラ 30 はアナログスイッチ 26 ~ 29 をすべてオフにし、コントローラ 31 からゼロスケールオフセット補正の信号を受けている間、アナログスイッチ 29、アナログスイッチ 28、アナログスイッチ 27、アナログスイッチ 26 の順にオンに切り替えていく。ここでコンパレータ 7 は基準抵抗 21 による電圧降下分 ( $V_{R21}(V)/5$  LSB 分の電圧) と、電圧分割用抵抗 ( $R$ ) 15 とディジタル可変抵抗ブロック 41 による電圧降下分を比較し  $V_{R21}(V)$  の方が大きい場合に比較信号ライン 39 を通じて、コントローラ 31 に “1” の信号を送る。

コントローラ 31 はコンパレータ 7 より “1” の信号を受け取るとゼロスケールオフセット補正の保持及び通常の A/D コンバータへの動作切り替えのため、補正終了の信号をコントロール信号

ライン42を通じて抵抗コントローラ30及びアナログスイッチ24, 25に送る。

抵抗コントローラ30は補正終了の信号を受け取るとアナログスイッチ26~29のうち、その際オンしているアナログスイッチをオンに保持し、ディジタル可変抵抗ブロック41はオンに保持されたアナログスイッチ(第1図の状態ではアナログスイッチ28)によって、抵抗値(第1図の状態では抵抗16+抵抗17+抵抗18の値)が設定される。またアナログスイッチ24, 25はそれぞれVin端子33, VREF端子34に接続され、通常のA/Dコンバータ動作を行う様保持される。

以上説明したように、カレントミラー回路によって得られる同一電流値を基準抵抗21と、電圧分割抵抗(R)15及びディジタル可変抵抗ブロック41に流して得られる電圧をコンパレータ7で比較し、同一電圧になるまでディジタル可変抵抗ブロック41の抵抗値を下げていき、保持することによってゼロスケールオフセットの補正を行う。

#### 〔考案の効果〕

以上説明したように本考案は、コントロール信号を受ける毎にゼロスケールオフセットを自動的に補正するため、A/D変換時にゼロスケールオフセットの影響がない精度の高い変換を実現でき、また、補正を行う手間を省くことができる。

#### 4. 図面の簡単な説明

第1図は本考案の一実施例の回路図、第2図は従来の並列比較形A/Dコンバータの回路図、第3図は従来の並列比較形A/Dコンバータでゼロスケールオフセットを補正する際の回路図である。

- 1 . . . . . デコーダ、
- 2 ~ 8 . . . . . コンパレータ、
- 9 . . . . . 電圧分割用抵抗 ( $3/2 R$ )、
- 10 ~ 15 . . . . . 電圧分割用抵抗 ( $R$ )、
- 16 ~ 20 . . . . . デジタル可変用抵抗、
- 21 . . . . . 基準抵抗、
- 22, 23 . . . . . トランジスタ、

- 24 ~ 29 . . . . . アナログスイッチ、
- 30 . . . . . 抵抗コントローラ、
- 31 . . . . . コントローラ、
- 32 . . . . . VDD端子、
- 33 . . . . . Vin端子、
- 34 . . . . . VREF端子、
- 35 . . . . . GND端子、
- 36 . . . . . B0端子  
(ディジタル出力0ビット目)、
- 37 . . . . . B1端子  
(ディジタル出力1ビット目)、
- 38 . . . . . B2端子  
(ディジタル出力2ビット目)、
- 39 . . . . . 比較信号ライン、
- 40 . . . . . コントロール端子、
- 41 . . . . . ディジタル可変抵抗ブロック、
- 42 . . . . . コントロール信号ライン、

43 . . . . . 電圧分割用抵抗 ( $1/2R$ )、

44 . . . . . 可変抵抗、

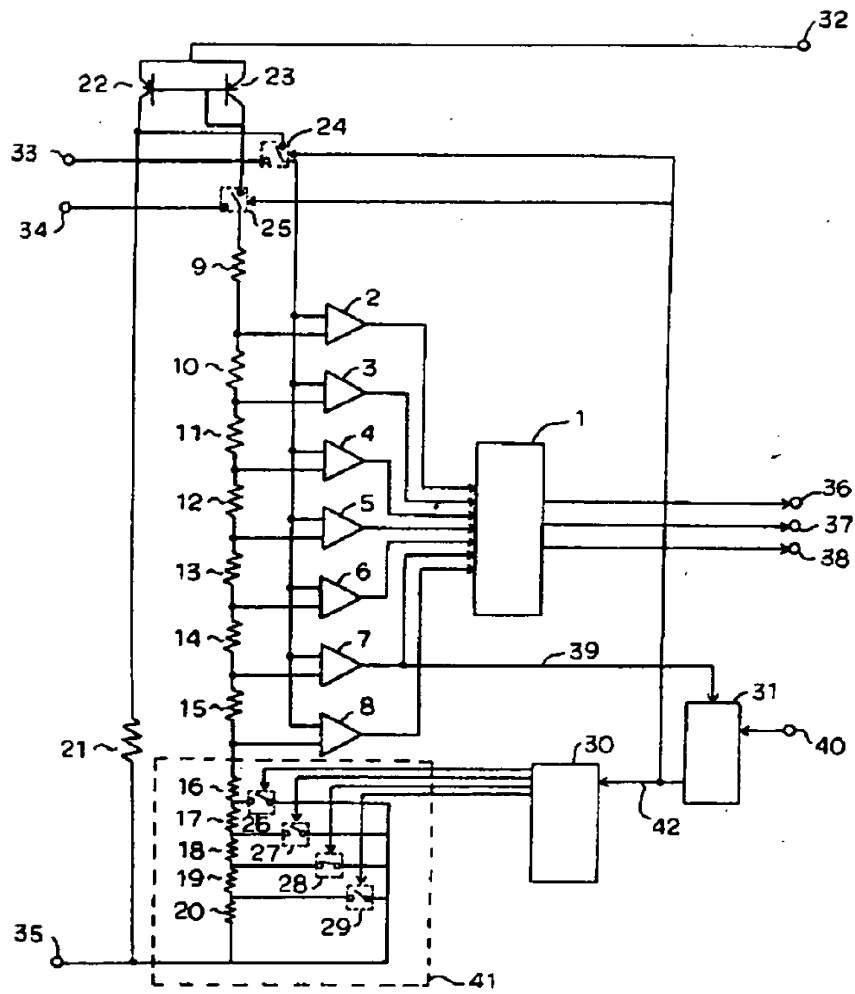
45 . . . . . オフセット GND 端子

(可変抵抗 42 によりゼロスケールオフセットを補正した場合)、

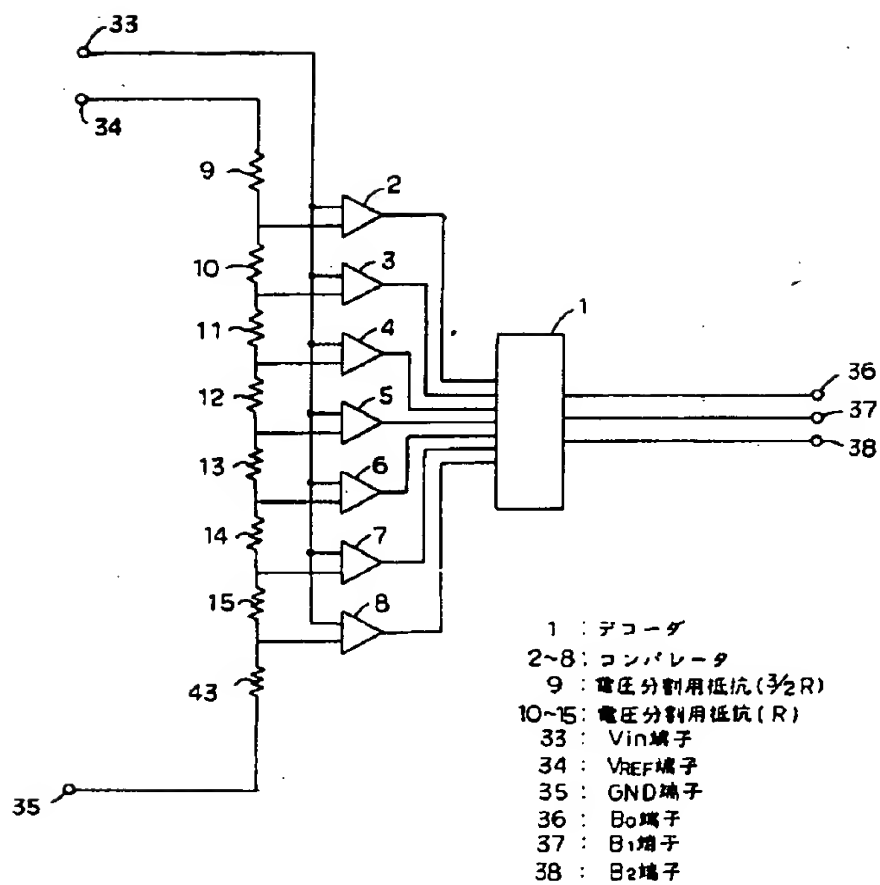
46 . . . . . 基準電圧源。

実用新案登録出願人 日本電気株式会社

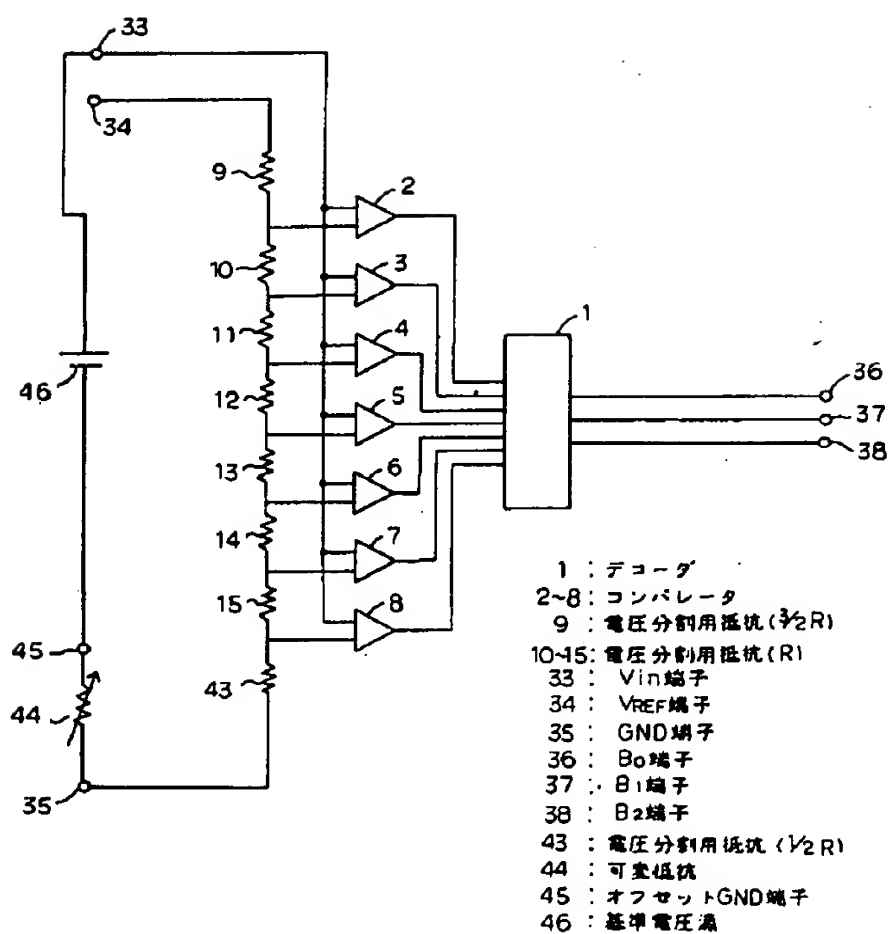
代理人 弁理士 桑 井 清 一



第 1 図



第 2 図



第 3 図



Japanese Utility Model Application Laid Open No.; 4-38139

Japanese Utility Model Application Laid Open Date; March 31, 1992

Japanese Utility Model Application Filing No.; 2-79993

Japanese Utility Model Application Filing Date; July 26, 1990

Title of Device; A/D Converter

Name of Deviser; Masahiro Ebukuro

Applicant; NIHON Electric Co., Ltd.

## SPECIFICATION

### 1. Title of Device

A/D Converter

### 2. Claim

An A/D converter provided with a plurality of voltage dividing resistances which are serially connected and applied a reference voltage and a plurality of comparators which are inputted the reference voltage from each junction point of the voltage dividing resistances and an analog voltage intended for conversion; and characterized by being further provided with a digital variable resistance block which is disposed at the lowest voltage side of said voltage dividing resistances and is capable of gradually varying the resistance value, a constant current source which supplies a current to a reference resistance disposed parallel with said voltage dividing resistances and said digital variable resistance block, switches which are disposed between each of an input terminal of said reference voltage and an input terminal of said analog voltage and input terminals of said comparators and are able to supply currents with identical values from said constant current source to said voltage dividing resistances and said comparators, and a controller which is activated by a command signal of zero scale offset correction to hold the conditions of the switches and concurrently vary the resistance value of said digital variable resistance block until the comparison result of a predetermined comparator based on the currents supplied from the constant current source through said switches becomes no more than a predetermined value.

### 3. Detailed Explanation of Device

#### <Industrially Applicable Technical Field>

The present device pertains to a parallel comparison type A/D converter and relates in particular to automatic correction of zero scale offset.

#### <Prior Art>

A conventional parallel comparison type A/D converter, for instance in the case of having 3 bit resolution, comprises, as illustrated in the Figure 2, a voltage dividing resistance ( $1/2R$ ) 43, voltage dividing resistances ( $R$ ) 10-15, a voltage dividing resistance ( $3/2R$ ) 9, comparators 2-8, decoder 1,  $V_{REF}$  terminal 34,  $V_{in}$  terminal 33, and GND terminal 35. The individual comparators 2-8 compare the voltage applied to the  $V_{in}$  terminal 33 with each voltage given by voltage division by the voltage dividing

resistance ( $1/2R$ ) 43, the voltage dividing resistances (R) 10-15 and the voltage dividing resistance ( $3/2R$ ) 9 and send to the decoder 1 a signal of "1" in case the voltage applied to the V in terminal 33 is higher or a signal of "0" in case that voltage is lower. The decoder 1 converts numbers outputted as "1" by the individual comparators 2-8 to binary numbers for outputting into B0 terminal 36, B1 terminal 37 and B2 terminal 38 and carries out A/D conversion of the analog voltage applied to the V in terminal 33. Then, in case where zero scale offset due to offset of the comparator 8 is to be corrected, as illustrated in Figure 3, a variable resistance 44 is connected to the GND terminal 35 and a voltage of  $1/2$  LSB from the reference voltage source 46 is applied to the V in terminal 33 and the resistance value of the variable resistance 44 is adjusted to be such a point that the output of the comparator 8 is just changed from "0" to "1"

#### <Problems to Be Solved by The Device>

However, there arises a problem that the zero scale offset which can be corrected by such adjustment of variable resistance is limited only to the portion offset to negative side and that the portion offset to positive side is unable to be corrected.

There is another problem that at every time of zero scale offset correction being carried out, it is required to provide a reference voltage source and adjust a variable resistance and that such operation is complicated.

#### <Measures to Solve The Problems>

An A/D converter according to the present device is an A/D converter provided with a plurality of voltage dividing resistances which are serially connected and applied a reference voltage and a plurality of comparators which are inputted the reference voltage from each junction point of the voltage dividing resistances and an analog voltage intended for conversion; and is characterized by being further provided with a digital variable resistance block which is disposed at the lowest voltage side of said voltage dividing resistances and is capable of gradually varying the resistance value, a constant current source which supplies a current to a reference resistance disposed parallel with said voltage dividing resistances and said digital variable resistance block, switches which are disposed between each of an input terminal of said reference voltage and an input terminal of said analog voltage and input terminals of said comparators and are able to supply currents with identical values from said constant current source to said voltage dividing resistances and said comparators, and a controller which is activated by a command signal of zero scale offset correction to hold the conditions of the switches and concurrently vary the

resistance value of said digital variable resistance block until the comparison result of a predetermined comparator based on the currents supplied from the constant current source through said switches becomes no more than a predetermined value.

<Example>

Now, the present device is explained with reference to the drawing.

The Figure 1 is a circuit diagram showing one example of the present device and illustrates a parallel comparison type A/D converter with 3 bit resolution. A conventional A/D conversion, which is based on decoder 1, comparators 2-8, voltage dividing resistances (R) 10-15, voltage dividing resistance  $(3/2R)$  9,  $V_{in}$  terminal 33,  $V_{REF}$  terminal 34, B0 terminal 36, B1 terminal 37 and B2 terminal 38, is as explained already in the section of "Prior Art". And, in case where analog switches 24 and 25 are each connected to  $V_{in}$  terminal 33 and  $V_{REF}$  terminal 34 and a digital variable resistance block 41 consisting of resistances 16-20 and switches 26-29 is fixed at a required resistance value, normal A/D conversion operation takes place. Then, when a signal is inputted into a control terminal 40, zero scale offset correction operation is carried out. Herein below is explained the operation. When a signal is inputted into the control terminal 40, a controller 31 sends a signal of zero scale offset correction to the analog switches 24, 25 and a resistance controller 30 via a control signal line 42. The analog switch 24 applies to the comparators 2-8 a voltage drop portion which generates because a current flowing in a transistor 22 of a current mirror circuit constructed of transistors 22, 23 flows into a reference resistance 21 (in the case of this circuit, the resistance value of the reference resistance 21 is set at  $[1.5 \text{ LSB voltage}] / [\text{flowing current}] (\Omega)$  and thus the voltage drop portion is a voltage of 1.5 LSB portion). And, the analog switch 25 flows a current flowing in the transistor 23 of the current mirror circuit constructed of the transistors 22, 23 to the voltage dividing resistances (R) 10-15, the voltage dividing resistance  $(3/2R)$  9 and the digital variable resistance block 41. Then, the currents flowing in each of the transistors 22, 23 make up the current mirror circuit and therefore flow at identical current values. And, the resistance controller 30 turns all of analog switches 26-29 off and successively switches to "on" analog switch 29, analog switch 28, analog switch 27 and analog switch 26 in this order while receiving a signal of zero scale offset correction from the controller 31. Then, the comparator 7 compares a voltage drop portion due to the reference resistance 21 (voltage of  $V_{R21}(V)/5\text{LSB}$  portion) with a voltage drop portion due to the voltage dividing resistance (R) 15 and the digital variable resistance block 41 and, in case where  $V_{R21}(V)$  is larger, sends a signal of "1" to the controller 31 via a comparison signal line

39.

Upon receipt of the signal of "1" from the comparator 7, the controller 31 sends a signal of correction termination to the resistance controller 30 and the analog switches 24, 25 through the control signal line 42 for holding the zero scale offset correction and switching the operation to normal A/D converter.

Upon receipt of the signal of correction termination, the resistance controller 30 holds the "on" condition of the analog switch then kept "on" among the analog switches 26-29, and the digital variable resistance block 41 undergoes the setting of a resistance value (in the condition of the Figure 1, a value of resistance 16 + resistance 17 + resistance 18) by means of the analog switch then held "on" (in the condition of the Figure 1, analog switch 28). And, the analog switches 24, 25 are each connected to the  $V_{in}$  terminal 33 and the  $V_{REF}$  terminal 34 and are maintained so as to perform the normal A/D converter operation.

As explained herein above, the correction of zero scale offset is conducted by comparing, by use of the comparator 7, the voltages obtained by flowing the identical current values given by the current mirror circuit to the reference resistance 21 and to the voltage dividing resistance (R) 15 and the digital variable resistance block 41 and lowering the resistance value of the digital variable resistance block 41 until reaching the identical voltage and retaining the lowered resistance value.

#### <Effect of Device>

As explained in the foregoing description, as zero scale offset is automatically corrected at every time of receipt of a control signal, the present device is able to realize highly precise conversion without influence of zero scale offset at the time of A/D conversion and obviate trouble to carry out correction.

#### 4. Brief Explanation of Drawing

The Figure 1 is a circuit diagram of one example of the present device, the Figure 2 is a circuit diagram of a conventional parallel comparison type A/D converter and the Figure 3 is a circuit diagram illustrative of conducting correction of zero scale offset with a conventional parallel comparison type A/D converter.